Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Кафедра электронных вычислительных машин

Дисциплина: Структурная и функциональная организация

вычислительных машин

Лабораторная работа №2

«Управляемый генератор синхросигналов»

Выполнил: Проверил:

Студент группы 150503 Воронов А.А.

Ходосевич М.А.

Минск, 2023

1. Цель работы

Проектирование генератора синхросигналов в среде Quartus.

1. Задание

2.1. Спроектировать и промоделировать блок, на вход которого поступает синхросигнал clk с частотой, заданной по варианту, а на выходе формируется сигнал с формой и указанными по варианту параметрами m и n, m и n - количество тактов внешнего синхросигнала clk. Указать временному анализатору, что clk - синхросигнал, и задать его в файле временных диаграмм с помощью шаблонов настроек временного анализатора. Две возможные формы сигнала изображены на приведенном ниже рисунке 2.1. В таблице на рис. 2.2 указан вариант рисунка.

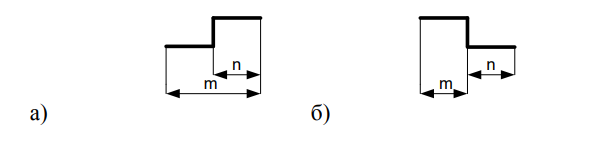


Рисунок 2.1 – Форма выходного сигнала

2.2. Спроектировать и промоделировать блок, на вход которого поступает синхросигнал clk с частотой, заданной по варианту, а на выходе формируется 16-разрядный сигнал, представляющий собой 16 опорных синхроимпульсов DCa. Сигнал должен представлять собой 16 разрядную шину. Вариант делителя частоты clk для получения сигнала с частотой clkin указан в таблице вариантов.

2.3. Объединить два спроектированных блока в один, используя символы составных блоков. Промоделировать этот блок.

Для показа выполнения по необходимо продемонстрировать схему по каждому пункту и результаты моделирования пункта 2.3.

Выданный вариант – 8.

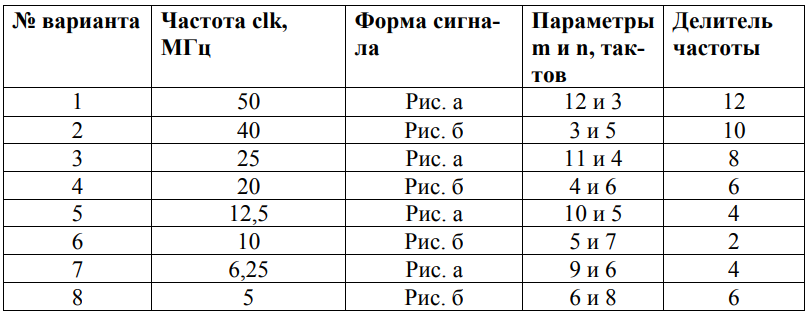


Рисунок 2.2 – Таблица вариантов заданий

1. Ход работы

3.1. Проектирование блока выработки единичного синхросигнала

Схема спроектированного генератора приведена на рисунке 3.1.

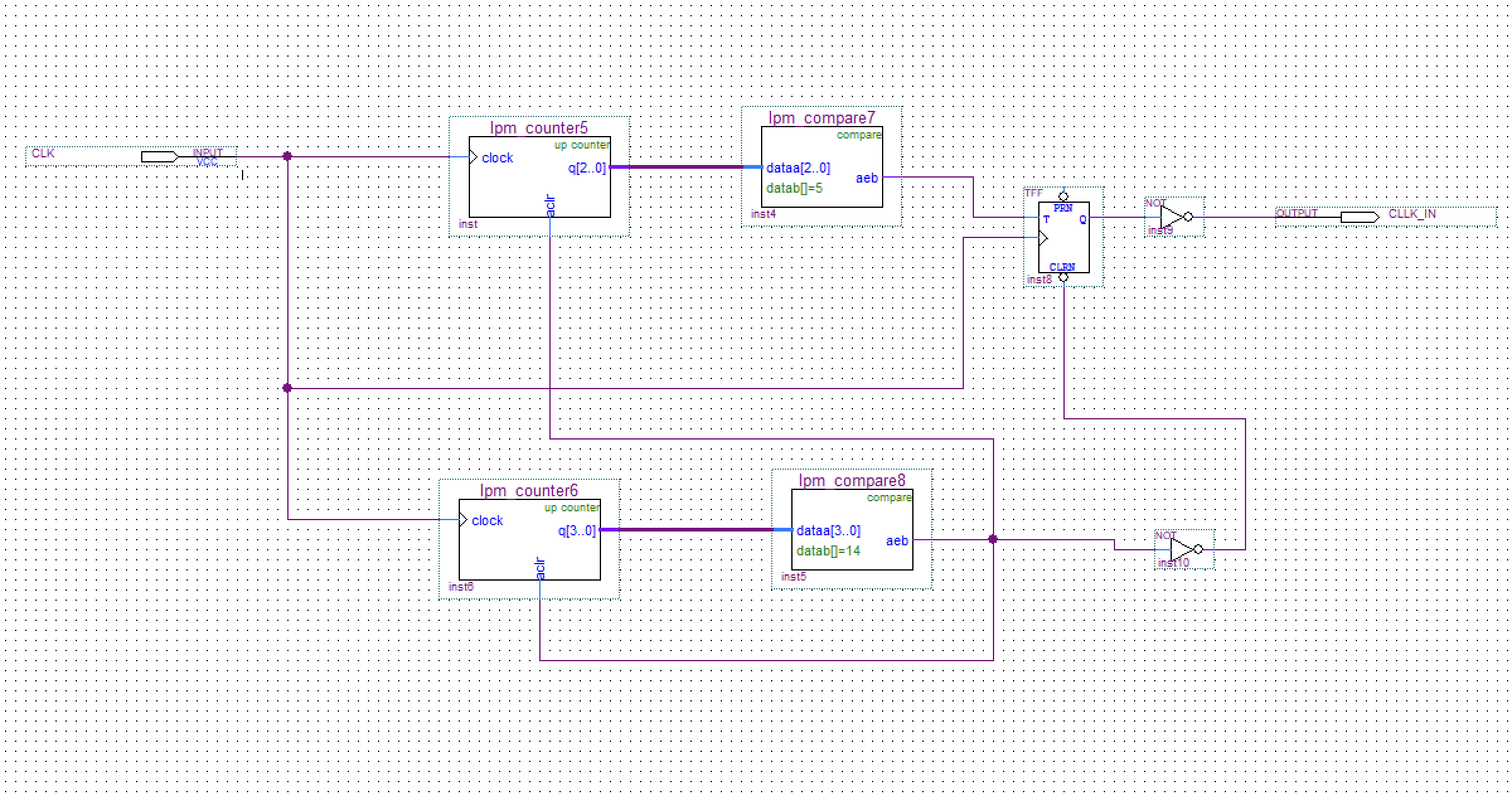
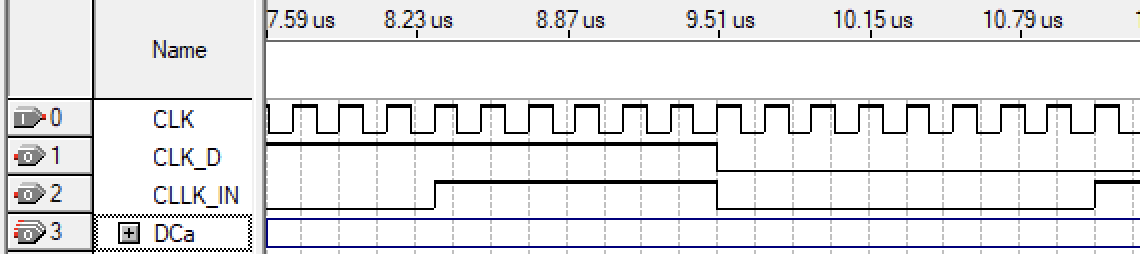


Рисунок 3.1 – Схема генератора единичного синхросигнала



3.2. Проектирование схемы делителя частоты

Схема спроектированного делителя частоты приведена на рисунке 3.2.

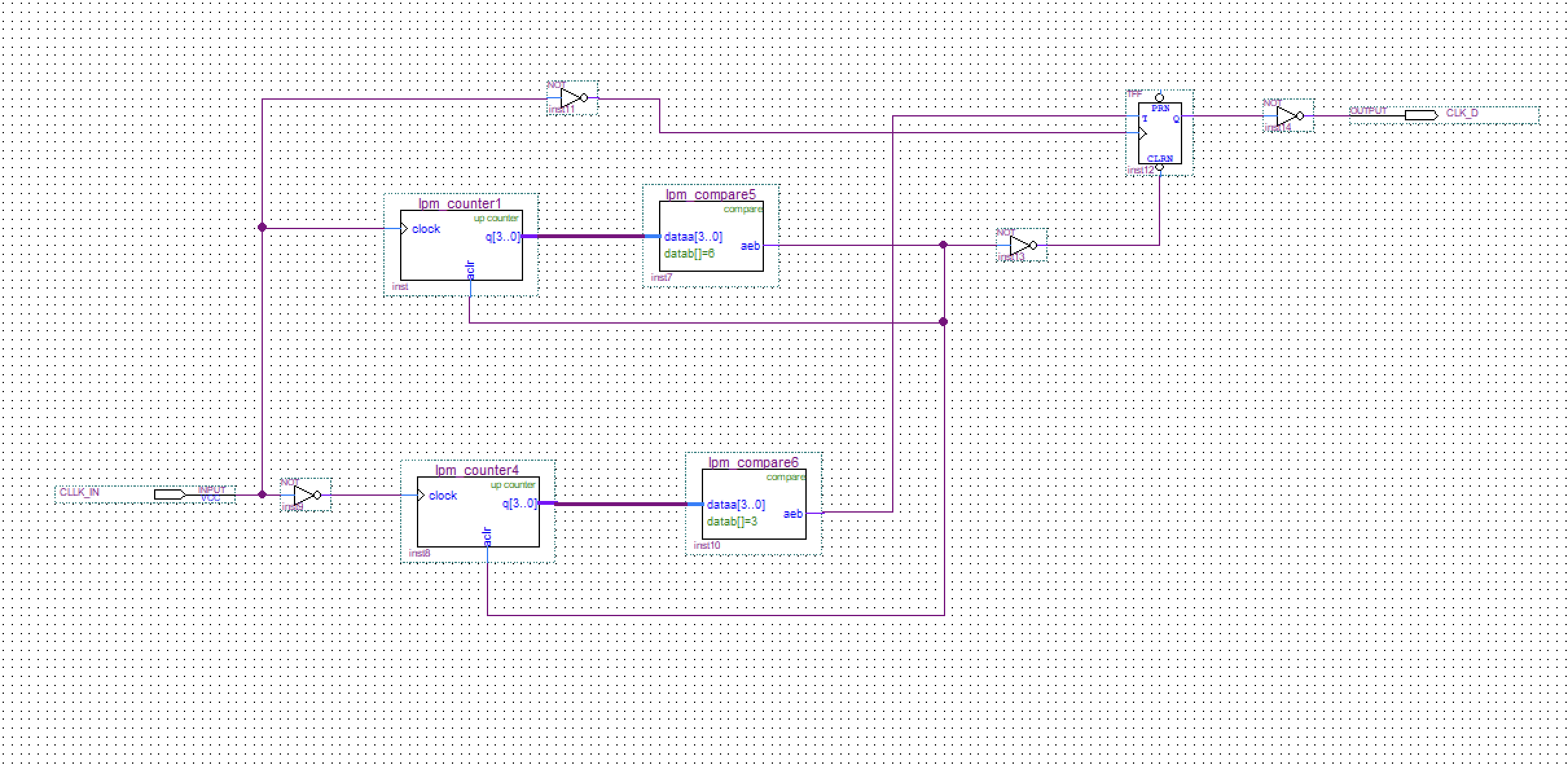
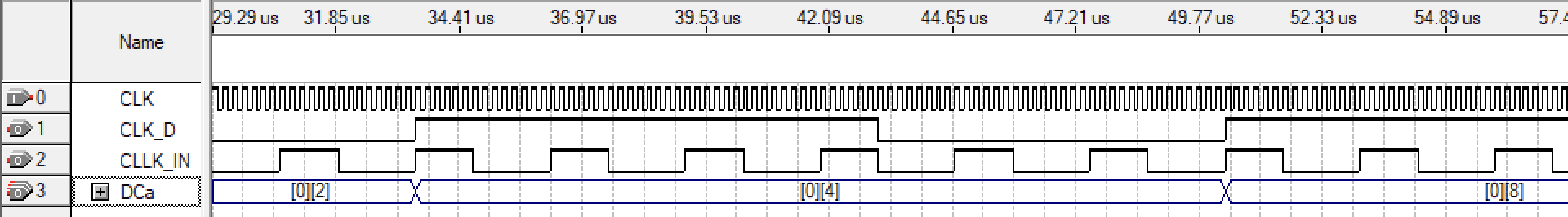


Рисунок 3.2 – Схема делителя частоты



3.3. Проектирование схемы блока опорных сигналов

Схема спроектированного блока опорных сигналов приведена на рисунке 3.3.

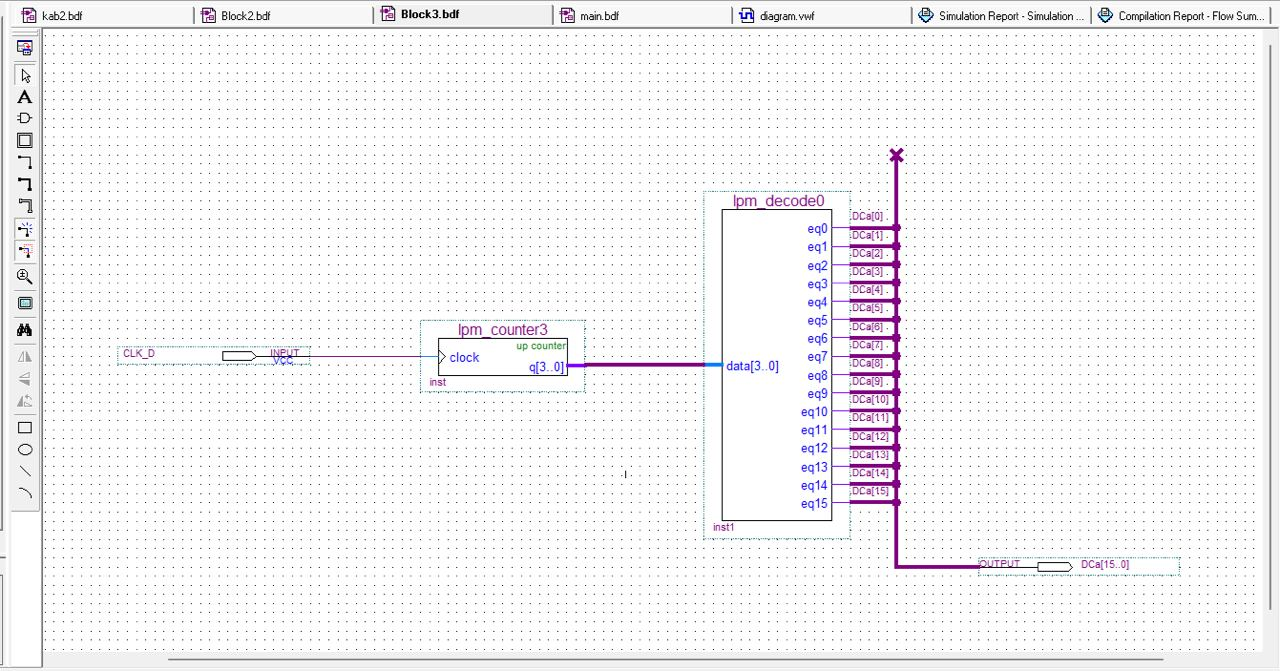
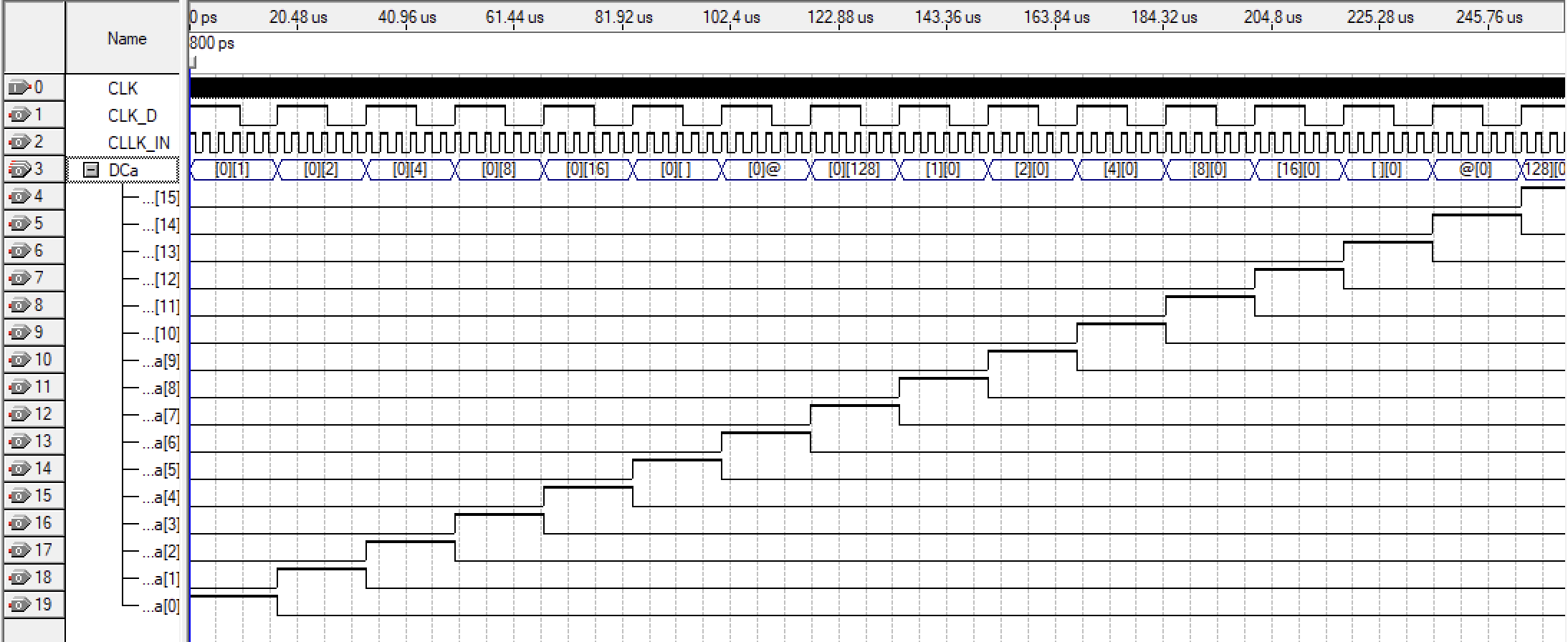


Рисунок 3.3 – Схема блока опорных сигналов



3.4. Проектирование схемы управляемого генератора

Из всех спроектированных в пп. 3.1-3.3 блоков были получены символы составных блоков, которые в итоге были объединены в общую схему управляемого генератора синхросигналов. Схема генератора приведена на рисунке 3.4.

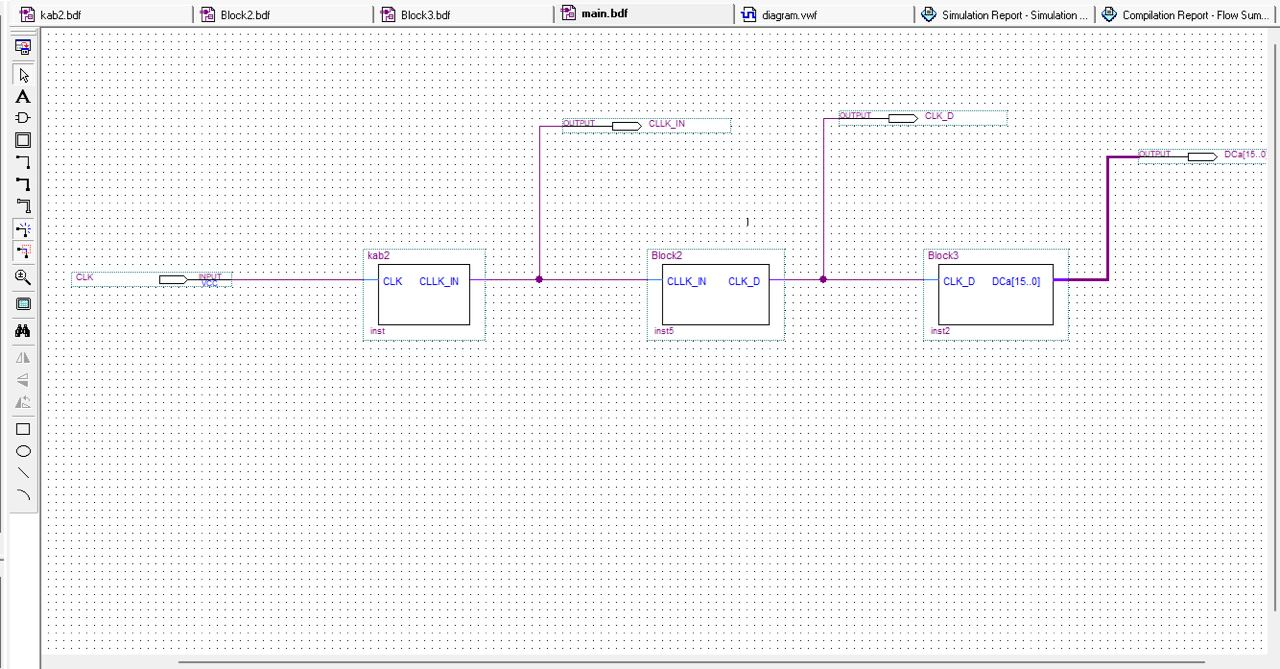


Рисунок 3.4 – Схема управляемого генератора

3.5. Результаты моделирования схем

Результаты моделирования схемы генератора единичного синхросигнала, делителя частоты, блока опорных сигналов и управляемого генератора синхросигналов приведены на рисунках 3.5 и 3.6.

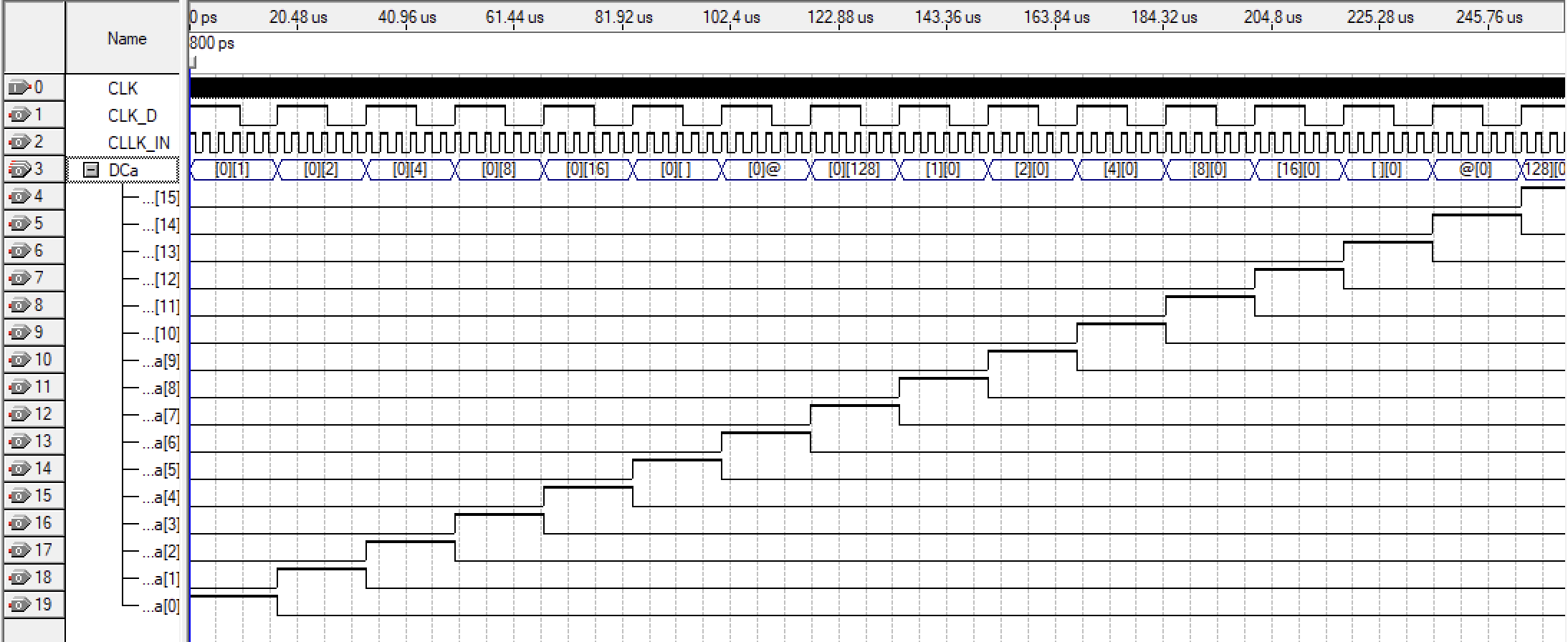


Рисунок 3.5 – Результаты моделирования

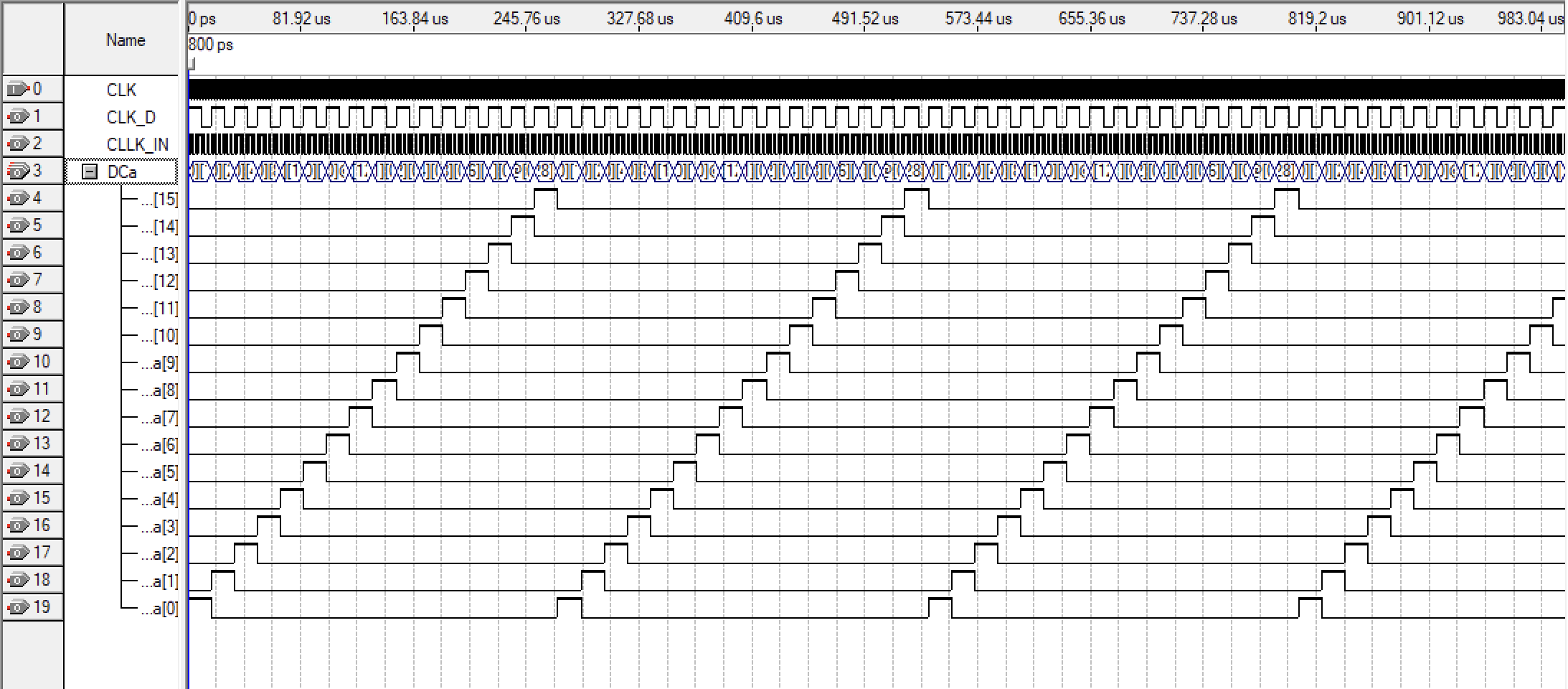


Рисунок 3.6 – Результаты моделирования

1. Вывод

В ходе лабораторной работы был спроектирован управляемый генератор синхросигналов, состоящий из 3 блоков: блока генератора единичных сигналов, блока делителя частоты и блока опорных сигналов.